

Family list**2** family members for:**JP6021443**

Derived from 2 applications.

- 1 SEMICONDUCTOR INTEGRATED CIRCUIT**
Publication info: **JP6021443 A** - 1994-01-28
- 2 Semiconductor integrated circuit incorporated with substrate bias control circuit**
Publication info: **US5461338 A** - 1995-10-24

Data supplied from the *esp@cenet* database - Worldwide

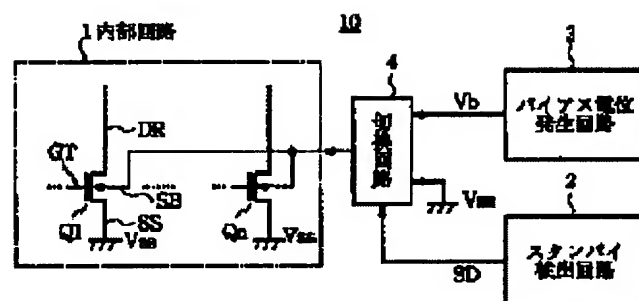
SEMICONDUCTOR INTEGRATED CIRCUIT

Patent number: JP6021443
Publication date: 1994-01-28
Inventor: HIRAYAMA TAKESHI; FUKUMA MASAO
Applicant: NIPPON ELECTRIC CO
Classification:
 - international: H01L27/02; H01L27/02; (IPC1-7): H01L29/784; H01L27/04; H01L27/092
 - european:
Application number: JP19930075913 19930401
Priority number(s): JP19930075913 19930401; JP19920098133 19920417

Report a data error here

Abstract of JP6021443

PURPOSE:To ensure high-speed operations of transistors, by decreasing the threshold voltages of the transistors during the an operating mode, and to prevent generations of faulty data-holdings and reduce consuming powers of the transistors, by increasing the threshold voltages of the transistors in the case of a standby mode. **CONSTITUTION:**In a semiconductor integrated circuit, an inner circuit 1, a standby sensing circuit 2, a bias potential generating circuit 3, and a switching circuit 4 are provided. The inner circuit 1 includes a plurality of transistors Q1-Qn formed on an N-type substrate (or a well) SB and performs a predetermined signal processing during the operating mode. The standby sensing circuit 2 generates a standby sensing signal SD of an active level by sensing a standby mode. The bias potential generating circuit 3 generates a forward bias potential Vb to be given from the substrate (or the well) SB to source electrodes (SS) of the transistors Q1-Qn. The switching circuit 4 supplies a potential Vss of the source electrode SS to the substrate (or the well) SB in response to the active level of the standby signal SD and supplies the forward bias potential Vb to the substrate (or the well) SB in response to the inactive level of the standby signal SD.



Data supplied from the esp@cenet database - Worldwide

(11)特許出願公開番号

(43)公開日 平成6年(1994)1月28日

FI

27/04

G 8427-4M

M 8427-4M

7377-4M

H01L 29/78

301 J

9054-4M

27/08

321 D

審査請求 未請求 請求項の数4 (全6頁) 最終頁に続く

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 平山 武司

東京都港区芝五丁目7番1号日本電気株式会社内

(72)発明者 福間 雅夫

東京都港区芝五丁目7番1号日本電気株式
会社内

(74) 代理人 弁理士 京本 直樹 (外 2 名)

(57) 【要約】

【特許請求の範囲】

【請求項1】 所定の導電型の半導体基板（又はウェル）に形成された複数のトランジスタを含み動作モードの期間に所定の信号処理動作を行う内部回路と、前記動作モードでないスタンバイモードを検出してアクティブレベルのスタンバイ検出信号を発生するスタンバイ検出手段と、前記半導体基板（ウェル）から前記トランジスタのソース領域へのバイアスがこれら半導体基板（ウェル）・ソース電極間の接合部に対して順方向となる所定の大きさのバイアス電位を発生する手段と、前記スタンバイ検出信号のアクティブレベルにตอบสนองして前記トランジスタのソース領域の電位を、インアクティブレベルにตอบสนองして前記バイアス電位を前記半導体基板（ウェル）にそれぞれ供給する切換手段とを有することを特徴とする半導体集積回路。

【請求項2】 前記バイアス電位が、前記半導体基板（ウェル）・ソース電極間のフラットバンド電圧以下である請求項1記載の半導体集積回路。

【請求項3】 前記複数のトランジスタがNチャネル型トランジスタとPチャネル型トランジスタとから成り、前記Nチャネル型トランジスタ対応のP型半導体基板（P型ウェル）供給用のバイアス電位を発生する手段と、前記Pチャネル型トランジスタ対応のN型半導体基板（N型ウェル）供給用のバイアス電位を発生する手段とを設けた請求項1記載の半導体集積回路。

【請求項4】 前記スタンバイモード検出信号にตอบสนองして前記バイアス電位発生手段への電源の供給を停止する手段をさらに備える請求項1記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路に関し、特に多機能、高速動作の要求に適応したMOS型トランジスタ構成の半導体集積回路に関する。

【0002】

【従来の技術】現在、最も一般的に使用されているMOS型トランジスタ構成の半導体集積回路においては、TTL回路に対する信号の授受や、半導体部材の諸特性及び製造工程における各種のばらつき等を考慮し、電源電圧は5V、MOS型トランジスタ（以下、トランジスタ）のしきい値電圧は0.7V程度のもが多く、また、トランジスタサイズの指標であるゲート長は1 μ m程度のもが多い。しかしながら最近では、半導体集積回路の多機能化・高速化への要求が強く、この要求を満たすための開発が進められている。

【0003】上記多機能化の実現のためには、回路素子等の微細化と、この微細化に基づいてなされる高集積化の技術が必要不可欠であり、多大の努力が払われている。その結果、例えば上記ゲート長は、前述の1 μ mから0.6 μ mへ、更に0.35 μ mへと微細化が進行している。

【0004】一方、高速化の実現の手法としては、まず、信号振幅を小さくすることによって信号のレベル遷移時間を短縮する技術が挙げられる。この信号振幅を小さくするために、電源電圧を含む各部の動作電圧を低くする（すなわち、低電圧化）。この低電圧化は、例えば電源電圧において、前述の5Vに対し3.3Vへ、更に2.5Vへと進行している。

【0005】上記低電圧化に伴って、信号の高レベル、低レベル判別のためのトランジスタのしきい値電圧の低電圧化（以下、低しきい値電圧化）が要求される。この低しきい値電圧化は、例えば、前述の0.7Vに対し、0.2～0.4V程度へと進んでいる。

【0006】前述の微細化技術の改良は、回路素子や配線の微細化を可能にし、それによってキャリアの伝播時間の短縮、すなわちトランジスタ動作の高速化に寄与するが、一方では電極間隔の縮小が絶縁膜を薄くすることを促し、信頼性確保のための低電圧化を要求する。低電圧化は低消費電力化に通じ、この低消費電力化は高集積化を可能とする。このように、微細化、低電圧化、低しきい値電圧化、高集積化等の技術が一体となって、半導体集積回路の多機能化、高速化が実現できる。

【0007】上述の低しきい値電圧化は、トランジスタの各部サイズの選定や不純物濃度の制御等設計・製造段階での諸パラメータ選択による手法、トランジスタを表面に形成した半導体基板（またはその基板内のp-ウェルまたはn-ウェル、以下、同じ）に、この基板（ウェル）と前記トランジスタのソース領域との間の接合部に順方向バイアス電圧を印加する手法、及び、これら手法の組合せ（例えば、アイイーイーイー 1992 シンポジウム オン ブィエルエスアイ テクノロジ ダイジェスト オブ テクニカル ペーパーズ “A ニュウ シーモストラクチャ フォ ロウ テンパレチャ オペレーション ウィズ フォワード サブストレート バイアス”（IEEE 1992 Symposium VLSI Technology Digest of Technical Papers “A New CMOS Structure for Low Temperature Operation with Forward Substrate Bias”）参照）によって実現できる。

【0008】低しきい値電圧化されたトランジスタによる半導体集積回路は、通常の動作モードではシステムクロックにตอบสนองしてデータの書換え等の信号処理動作を行うので、接地配線及び電源配線への誘導ノイズや温度変化等があっても信号処理動作は影響を受けない。しかし、入力データの中断時のように一定の状態を維持し続けるスタンバイモードでは、トランジスタのチャンネル形成部分と基板（ウェル）との間の電位差が小さくなっているため、チャンネル内のキャリアは誘導ノイズや温度変化等によるわずかなエネルギーの獲得でそのチャンネルの

エネルギー障壁を越えて基板（ウェル）へ到達し、ソース電極からのキャリアがドレイン電極に到達できなくなる。したがって、トランジスタが保持すべき2進値すなわちデータのレベルの変動や反転等の誤動作やデータ保持不良が生じる。また、誘導ノイズがトランジスタのしきい値電圧を容易に越えるため、保持データのレベル反転が起りやすくなる。

【0009】スタンバイモードにおけるこれらの問題点を解決する手法として、トランジスタが形成されている基板（ウェル）に、逆方向バイアスを印加してトランジスタのしきい値電圧を高くする方法が多く用いられる。しかしこの手法では、逆方向バイアスの発生回路や逆方向バイアス供給用の配線等が必要となり、上記逆方向バイアス発生回路自身による電力消費、半導体装置であるがゆえの上記配線及び基板（ウェル）等による電力消費が生じ、特にスタンバイモードをバッテリーでバックアップする方式の半導体集積回路ではバッテリーの寿命が著しく短くなる。

【0010】

【発明が解決しようとする課題】 上述した従来の半導体集積回路は、各トランジスタが低しきい値電圧化されており、通常の動作モードではシステムクロックにตอบสนองしてデータの書換え等の信号処理動作を行うので、接地配線及び電源配線への誘導ノイズや温度変化等があっても信号処理動作は影響を受けないが、一定の状態を維持し続けるスタンバイモードでは、トランジスタのチャネル形成部分と基板（ウェル）との間の電位差が小さくなっているため、チャネル内のキャリアは誘導ノイズや温度変化等によるわずかなエネルギーの獲得でそのチャネルのエネルギー障壁を越えて基板（ウェル）へ到達し、ソース電極からのキャリアがドレイン電極に到達できなくなり、トランジスタが保持すべき2進値すなわちデータのレベルの変動や反転等の誤動作やデータ保持不良が生じたり、誘導ノイズがトランジスタのしきい値電圧を容易に越えるため、保持データのレベル反転が起りやすくなるという欠点があった。スタンバイモードにおけるこれらの問題点を解決する手法として、トランジスタが形成されている基板（ウェル）に、逆方向バイアスを印加してトランジスタのしきい値電圧を高くする方法が多く用いられるが、この手法では、逆方向バイアスの発生回路や逆方向バイアス供給用の配線等が必要となり、上記逆方向バイアス発生回路自身による電力消費、半導体装置であるがゆえの上記配線及び基板（ウェル）等による電力消費が生じ、特にスタンバイモードをバッテリーでバックアップする方式の半導体集積回路ではバッテリーの寿命が著しく短くなるという欠点があった。

【0011】したがって本発明の目的は、動作モードにおける高速動作の確保と、スタンバイモードにおける誤動作の防止及び消費電力の節減ができる半導体集積回路を提供することにある。

【0012】

【課題を解決するための手段】 本発明の半導体集積回路は、所定の導電型の半導体基板（又はウェル）に形成された複数のトランジスタを含み動作モードの期間に所定の信号処理動作を行う内部回路と、前記動作モードでないスタンバイモードを検出してアクティブレベルのスタンバイ検出信号を発生するスタンバイ検出手段と、前記半導体基板（ウェル）から前記トランジスタのソース領域へのバイアスがこれら半導体基板（ウェル）・ソース電極間の接合部に対して順方向となる所定の大きさのバイアス電位を発生する手段と、前記スタンバイ検出信号のアクティブレベルにตอบสนองして前記トランジスタのソース領域の電位を、インアクティブレベルにตอบสนองして前記バイアス電位を前記半導体基板（ウェル）にそれぞれ供給する切換手段とを有している。

【0013】 また、スタンバイモード検出信号にตอบสนองして前記バイアス電位発生手段への電源の供給を停止する手段をさらに備えている。

【0014】

【実施例】 次に本発明の実施例について図面を参照して説明する。

【0015】 図1は本発明の第1の実施例の一部に回路図を含むブロック図、図2はこの実施例の一部にブロック図を含むトランジスタの断面図である。

【0016】 図1及び図2を併せて参照すると、この実施例の半導体集積回路10は、P型の半導体基板（又はウェル）SBに形成されたNチャネル型の複数のトランジスタQ1～Qnを含み動作モードの期間に所定の信号処理動作を行う内部回路1と、上記動作モードでなくスタンバイモードであることを検出してこのモードの期間アクティブレベルのスタンバイ検出信号SDを発生するスタンバイ検出回路2と、トランジスタQ1～Qnの半導体基板（ウェル）SB（以下、基板（ウェル）SB）からソース領域SSへのバイアスがこれらトランジスタの基板（ウェル）・ソース電極間の接合部に対して順方向（以下、順方向バイアス）となる所定の大きさのバイアス電位Vbを発生するバイアス電位発生回路3と、スタンバイ検出信号SDのアクティブレベルにตอบสนองしてトランジスタQ1～Qnのソース電極SSの電位Vss

（以下、ソース電位Vss、この実施例では接地電位の0V）と等しい電位を、インアクティブレベルにตอบสนองして上記バイアス電位VbをトランジスタQ1～Qnの基板（ウェル）SBにそれぞれ供給する切換回路4とを備える。

【0017】 この実施例においては、スタンバイモードの期間は切換回路4がソース電位Vssを供給するので基板（ウェル）SBの電位Vsb（以下、基板電位Vsb）はVssとなる。この期間におけるトランジスタQ1～Qnのしきい値電圧（Vt1）は、設計・製造段階における上記の諸パラメータ選択による高い値（例えば

0. 7 V) に設定される。したがって、誘導ノイズや温度変化等による内部回路 1 の誤動作やデータ保持不良等の発生が防止できる。

【0018】スタンバイモードが解除されて通常の動作モードになると、切換回路 4 がバイアス電位 V_b を供給するので基板電位 V_{sb} は V_b となる。ソース電位 V_s を固定 (0 V) にして基板電位 V_{sb} を変化させたときのしきい値電圧 V_t の変化を示す図 3 を参照すると、バイアス電位 V_b はソース電位 V_s に対してプラス (+) 側の順方向バイアスであるので、このときのトランジスタ $Q_1 \sim Q_n$ のしきい値電圧 V_{t2} はスタンバイモード時より低い値 (例えば 0. 4 V) に設定される。従って、電源電圧を含む動作電圧を低く設定することができ、高速動作が可能となる。なお、トランジスタのしきい値電圧が低くても、内部回路 1 ではシステムクロックにตอบสนองしてデータの書換え等の各種の信号処理動作が行なわれるので、誘導ノイズや温度変化等の上記信号処理動作に対する影響はない。

【0019】従来の半導体集積回路においては、動作モード時、設計・製造段階における上記諸パラメータ選択による低しきい値電圧のトランジスタによって高速動作が可能となり、またシステムクロックにตอบสนองした信号処理動作によって誘導ノイズや温度変化に起因する誤動作やデータ保持不良の発生を防止する。

【0020】しかしながら、スタンバイモード時には、上記誤動作やデータ保持不良などの発生を防止するために、半導体基板 (ウェル) に逆方向バイアスを印加し各トランジスタのしきい値電圧を高くしているのので、逆方向バイアス発生回路や逆方向バイアス供給用の配線及び基板 (ウェル) 等による電力の消費があり、バックアップ用バッテリーの消耗が著しい。

【0021】これに対し本発明では、上述のようにスタンバイモードの期間は基板 (ウェル) SB へのバイアス電位 V_b の印加を停止するので、その期間はバイアス電位供給用の配線や基板 (ウェル) SB による電力の消費がなくなり、その分だけ消費電力を節減できる。

【0022】なお、上述の実施例において、動作モード時の基板 (ウェル) SB へのバイアス電位 V_b 印加による消費電力は、内部回路 1 動作時の消費電力に比べて極めて小さい上、動作モード時には通常、外部からの大容量電源により駆動されるので、上記のバイアス電位 V_b 印加による消費電力の増加は問題にならない。

【0023】また、トランジスタのゲート電極 GT の電位 V_{gt} (以下ゲート電位 V_{gt}) に対するドレイン電流 I_d を示す図 4 を参照すると、ゲート電位 V_{gt} がしきい値電圧 V_t に到達すると基板 (ウェル) SB にチャンネルが形成されてドレイン電流が急激に上昇する。基板 (ウェル) SB へのバイアス電位 V_b が上記チャンネル形成の対応電位になるとトランジスタのオン/オフ動作ができなくなるので、バイアス電位 V_b は、チャンネル形成

直前のフラットバンド電圧 V_f (基板 (ウェル) SB に過剰電荷及び空乏層のないときの基板・ゲート電極間電圧) 以下に設定する。

【0024】本発明の第 2 の実施例を示す図 5 を参照すると、この実施例の半導体集積回路 20 は、P 型の基板 (又はウェル) (以下、P 型基板) に形成された N チャンネル型の複数のトランジスタ $Q_{11} \sim Q_{1n}$ 及び N 型の基板 (又はウェル) (以下、N 型基板) に形成された P チャンネル型の複数のトランジスタ $Q_{21} \sim Q_{2m}$ を含む動作モードの期間に所定の信号処理動作を行う内部回路 1 a と、スタンバイモードであることを検出してアクティブレベルのスタンバイ検出信号 SD を発生するスタンバイ検出回路 2 と、上記 P 型基板及び N 型基板それぞれに対応の順方向のバイアス電位 V_{b1} 、 V_{b2} を発生するバイアス電位発生回路 3 a、3 b と、スタンバイ検出信号 SD のアクティブレベルにตอบสนองして対応トランジスタ ($Q_{11} \sim Q_{1n}$ 、 $Q_{21} \sim Q_{2m}$) のソース電位 (V_{ss} 、 V_{dd}) を、インアクティブレベルにตอบสนองして対応のバイアス電位 (V_{b1} 、 V_{b2}) を上記 P 型基板及び N 型基板にそれぞれ供給する切換回路 4 a、4 b とを備える。

【0025】この実施例は、内部回路 1 a に N チャンネル型トランジスタ $Q_{11} \sim Q_{1n}$ と P チャンネル型トランジスタ $Q_{21} \sim Q_{2m}$ とを含む半導体集積回路に本発明を適用したものであり、これらの N チャンネル型トランジスタ $Q_{11} \sim Q_{1n}$ の基板 (ウェル) と P チャンネル型トランジスタ $Q_{21} \sim Q_{2m}$ の基板 (ウェル) に対し別々にバイアス電位 V_{b1} 又は V_{b2} を供給する以外、基本的な動作及び効果は第 1 の実施例と同じである。またこの実施例では、N チャンネルトランジスタ $Q_{11} \sim Q_{1n}$ のしきい値電圧と P チャンネル型トランジスタ $Q_{21} \sim Q_{2m}$ のしきい値電圧を別々に制御できるので、製造ばらつきの許容範囲が拡大でき、その分実質的な歩留りが向上する。

【0026】なお、上述の実施例において、バイアス電位発生回路 (3、3 a、3 b) と切換回路 (4、4 a、4 b) とを別々の回路としたが、これらを併合した回路としてもさしつかえない。また、スタンバイモード時にバイアス電位発生回路 (3、3 a、3 b) への電源の供給を停止すれば、スタンバイモード時の消費電力は更に節減できる。

【0027】

【発明の効果】以上説明したように本発明は、P 型又は N 型の基板 (又はウェル) に形成された複数のトランジスタを含む動作モード期間に所定の信号処理動作を行う内部回路と、上記動作モードでなくスタンバイモードであることを検出してアクティブレベルのスタンバイ検出信号を発生する検出手段と、上記トランジスタの基板 (ウェル) からソース領域への順方向バイアス電位を発生する手段と、上記スタンバイ検出信号のアクティブレ

10

20

30

40

50

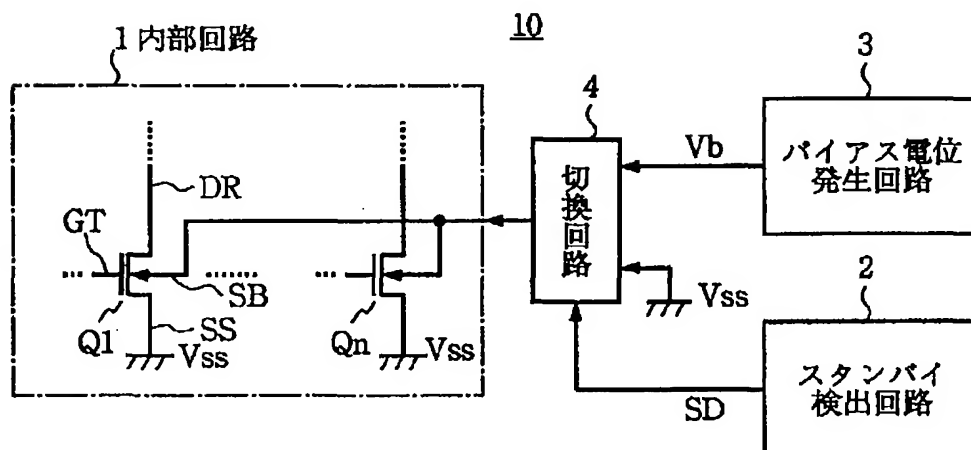
ベルにตอบสนองして上記ソース電極の電位を、インアクティブレベルにตอบสนองして上記バイアス電位を上記基板（ウェル）にそれぞれ供給する切換手段とを備えた構成とすることにより、動作モードの期間に基板（ウェル）に順方向のバイアス電位を供給してトランジスタのしきい値電圧を低くし内部回路の高速動作を確保し、スタンバイモードの期間に基板（ウェル）へのバイアス電位の供給を停止してトランジスタを設計・製造段階の諸パラメータ選択によるしきい値電圧とし誘導ノイズや温度変化による誤動作及びデータ保持不良の発生を防止し、また、上記スタンバイモード期間中のバイアス電位供給停止により同期間中の電力消費を不要にし、半導体集積回路全体としての消費電力を節減することができる効果がある。

【図面の簡単な説明】

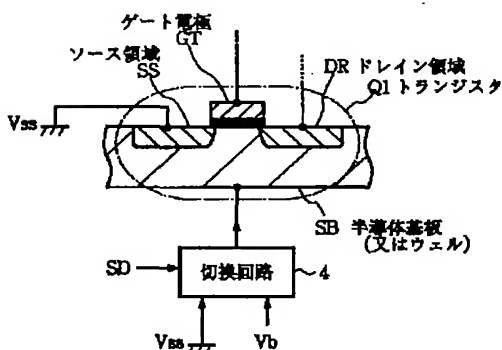
【図 1】 本発明の第 1 の実施例の一部に回路図を含むブロック図である。

【図 2】 上記実施例の一部にブロック図を含むトランジスタの断面図である。

【図 1】



【図 2】



【図 3】 トランジスタの基板電位に対するしきい値電圧の変化を示す特性図である。

【図 4】 トランジスタのゲート電位に対するドレイン電流の変化を示す特性図である。

【図 5】 本発明の第 2 の実施例の一部に回路図を含むブロック図である。

【符号の説明】

1, 1 a 内部回路

2 スタンバイ検出回路

3, 3 a, 3 b バイアス電位発生回路

4, 4 a, 4 b 切換回路

DR ドレイン領域

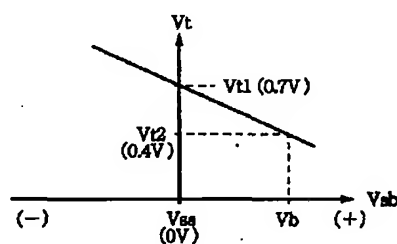
GT ゲート電極

Q1 ~ Qn, Q11 ~ Q1n, Q21 ~ Q2m トランジスタ

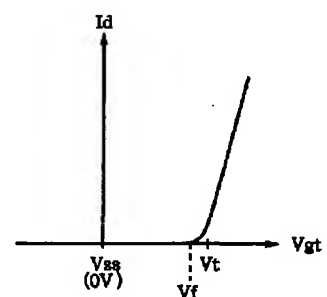
SB 半導体基板（又はウェル）

SS ソース領域

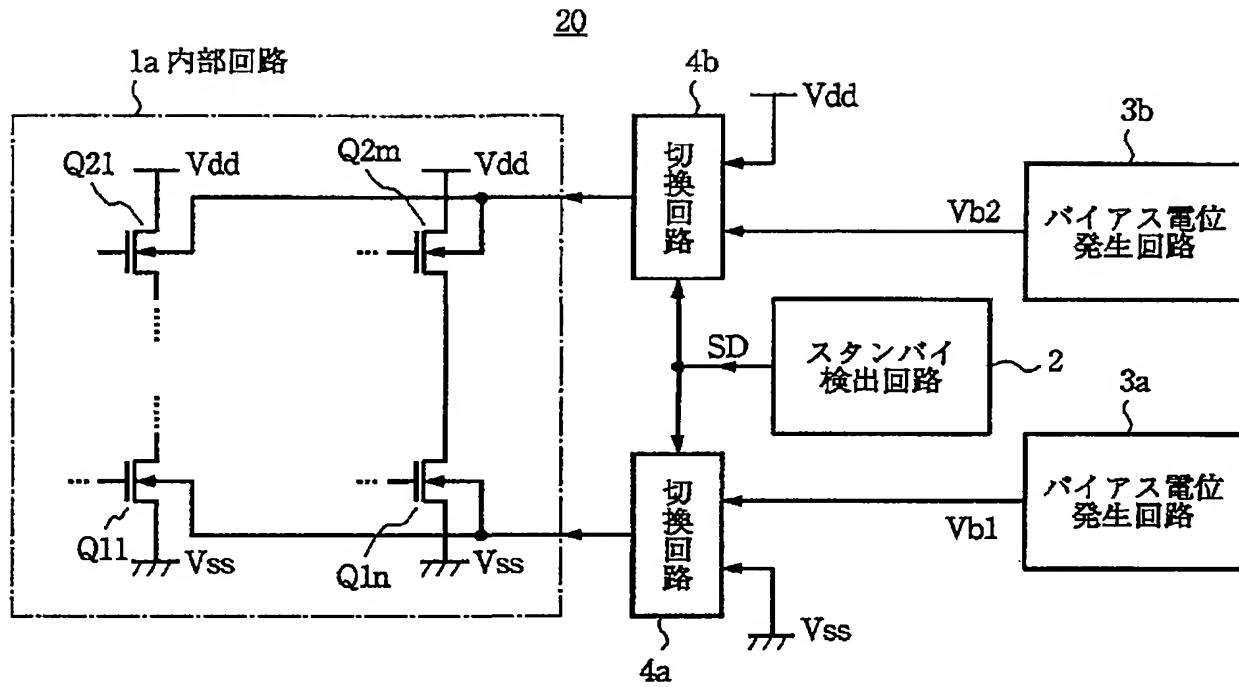
【図 3】



【図 4】



【図 5】



フロントページの続き

(51) Int. Cl.⁵

H 0 1 L 27/092

識別記号

庁内整理番号

F I

技術表示箇所